

JC997 U.S. PRO  
10/055270  
01/22/02

#2

대한민국 특허청

KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 특허출원 2001년 제 45487 호  
Application Number PATENT-2001-0045487

출원년월일 : 2001년 07월 27일  
Date of Application JUL 27, 2001

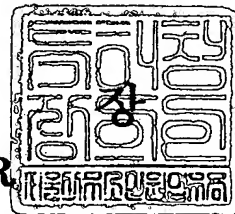
출원인 : 삼성전자 주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2001 년 12 월 03 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0006
【제출일자】	2001.07.27
【국제특허분류】	H01L
【발명의 명칭】	반도체 장치의 제조 방법
【발명의 영문명칭】	Method for manufacturing a semiconductor device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	주재현
【성명의 영문표기】	J00, Jae Hyun
【주민등록번호】	680108-1162614
【우편번호】	135-778
【주소】	서울특별시 강남구 대치2동 은마아파트 30동 801호
【국적】	KR
【발명자】	
【성명의 국문표기】	김완돈
【성명의 영문표기】	KIM, Wan Don
【주민등록번호】	710223-1017515
【우편번호】	449-840

**【주소】** 경기도 용인시 수지읍 풍덕천리 주공아파트 102동 1004호  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인  
 이영필 (인) 대리인  
 정상빈 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 6 면 6,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 15 항 589,000 원  
**【합계】** 624,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

화학기상증착법으로 형성된 Ru박막을 유전막 증착 전에 수소 처리 또는 질소 처리하여 화학기상증착법의 소스로 사용되는 유기 금속 화합물로부터 발생하는 유기 금속 잔류물을 효과적으로 제거하여 표면 형상의 변화보다는 Ru박막 표면의 특성이 개선하므로써, 그 하부 전극을 포함하는 캐패시터의 캐패시턴스를 증가시키고 누설전류의 감소를 억제하는 기술이 개시된다.

**【대표도】**

도 2a

**【색인어】**

화학기상증착, 유기금속 화합물, 누설전류, 캐패시턴스

## 【명세서】

## 【발명의 명칭】

반도체 장치의 제조 방법{Method for manufacturing a semiconductor device}

## 【도면의 간단한 설명】

도 1은 물리기상증착법 및 화학기상증착법을 통해 형성된 하부 전극을 갖는 캐패시터의 누설전류를 보여주는 그래프이다.

도 2a 내지 도 2c는 본 발명에 따른 반도체 장치의 제조 과정의 일예를 보여주는 도면들이다.

도 3a는 물리기상증착법 및 화학기상증착법을 통해 형성된 하부 전극을 갖는 캐패시터에 있어서, 하부전극에 수소 열처리를 실시할 경우의 캐패시터의  $T_{ox}$  를 보여주는 그래프이다.

도 3b는 물리기상증착법 및 화학기상증착법을 통해 형성된 하부 전극을 갖는 캐패시터에 있어서, 하부전극에 수소 열처리를 실시할 경우의 캐패시터의 캐패시턴스의 변화율을 보여주는 그래프이다.

도 4a는 물리기상증착법을 통해 형성된 하부 전극을 갖는 캐패시터에 있어서, 하부전극에 수소 열처리를 실시할 경우의 캐패시터의 누설전류 특성을 보여주는 그래프이다.

도 4b는 화학기상증착법을 통해 형성된 하부 전극을 갖는 캐패시터에 있어서, 하부전극에 수소 열처리를 실시할 경우의 캐패시터의 누설전류 특성을 보여주는 그래프이다.

도 5a는 물리기상증착법을 통해 형성된 하부 전극을 갖는 캐패시터에 있어서, 하부전극에 대한 수소 열처리 유무에 따른 캐패시터 유전막의 결정화온도를 보여주는 그래프이다.

도 5b는 화학기상증착법을 통해 형성된 하부 전극을 갖는 캐패시터에 있어서, 하부전극에 대한 수소 열처리 유무에 따른 캐패시터 유전막의 결정화온도를 보여주는 그래프이다.

도 6a와 도 6b는 화학기상증착법을 통해 형성된 하부 전극을 갖는 캐패시터에 있어서, 하부전극을 수소 열처리할 경우의 비정질 유전막 및 결정질 유전막을 채용한 캐패시터의  $T_{ox}$ 와 캐패시턴스의 증가율을 보여주는 그래프이다.

도 7a는 화학기상증착법을 통해 형성된 하부 전극을 갖는 캐패시터에 있어서, 하부전극에 대해 수소 또는/및 질소 열처리를 실시할 경우의 비정질 유전막의 누설전류 특성을 보여주는 그래프이다.

도 7b는 화학기상증착법을 통해 형성된 하부 전극을 갖는 캐패시터에 있어서, 하부전극에 대해 수소 또는/및 질소 열처리를 실시할 경우의 결정질 유전막의 누설전류 특성을 보여주는 그래프이다.

도 8a와 도 8b는 화학기상증착법을 통해 형성된 Ru박막의 수소 열처리 전 및 열처리 후의 표면 상태를 보여주는 그래프이다.

도 9는 화학기상증착법을 통해 형성된 Ru 박막의 수소 열처리 전후의 박막 결정성을 보여주는 그래프이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<14>        본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 화학기상증착된 귀금속 하부 전극을 포함하는 캐패시터의 전기적 특성을 향상시킬 수 있는 반도체 소자의 제조 방법에 관한 것이다.

<15>        반도체 소자의 집적도 증가함에 따라 단위 셀에 할당되는 면적이 감소하였다. 캐패시터를 포함하는 단위 셀에서, 소자의 특성은 캐패시터의 캐패시턴스에 의해 크게 영향을 받는다. 이에 캐패시터의 캐패시턴스를 증가시키기 위한 각종 연구가 진행되어 오고 있으며, 캐패시터의 하부 전극은 핀 구조, 실린더 구조 또는 트렌치 구조와 같은 3차원적인 입체 구조를 갖는 것이 일반적이다.

<16>        한편, 반도체 소자가 16Mb이상으로 더욱 증가함에 따라 단위 셀의 면적이 감소하여 MIS(Metal-Insulator-Silicon) 캐패시터보다 더 큰 캐패시턴스를 갖는 구조가 연구되고 있는데, 그 대표적인 예가 누설전류가 상대적으로 적고 캐패시턴스가 큰 MIM(Metal-Insulator-Metal) 캐패시터이다.

<17>        일반적으로 MIM 캐패시터의 하부 전극으로는 유전막과의 반응이 없고 일함수 값이 높은 Pr, Ru, Ir, Rh, Os 등과 같은 귀금속과 그의 도전성 산화물이 사용되고 있다. 특히 Ru가 산소를 포함한 플라즈마에 쉽게 식각될뿐만 아니라 Ru의 산화물이 도전성을 띠므로, MIM 캐패시터의 하부 전극 물질로 각광을 받고 있다.

- <18> MIM 캐패시터를 트랜지스터의 폭이  $0.1\mu\text{m}$ 의 디자인 룰을 가지는 반도체 소자에 적용하기 위해서, 유전막 뿐만 아니라 상부/하부 전극의 단차 도포성도 우수해야 하므로, 상부 전극 및 하부 전극의 형성을 위해 스퍼터링과 같은 물리기상증착법을 사용하지 않고 유기금속 소스를 이용하는 화학기상증착법을 사용하고 있다.
- <19> 화학기상증착법을 이용하여 귀금속 도전층을 증착시키기 위해서는 유기 금속 소스와 이 소스를 분해하는 산소 가스를 공정 챔버내로 도입하다. 그리고, 유기금속 소스로부터 분해된 금속 성분을 가열된 기판위에 증착시킨다.
- <20> 그런데, 유기금속 소스가 불완전 분해 되어 기판 상에 증착되면, 증착된 박막 내에는 불순물, 예를 들면 탄소 성분이 포함될 수 있다. 불순물은 유전막 형성 후의 결정화 열처리시 금속층 상면에 형성되는 절연막과 반응하여 금속층과 절연막 사이에 저유전층을 형성한다. 그리고 불순물은 유전막의 결정화를 방해하여 결함을 생성할 수 있고 이 결함은 누설 전류의 경로로 작용하게 된다.
- <21> 따라서, 도 1에 도시된 것과 같이 MIM캐패시터에 있어서, 귀금속으로 이루어진 하부 전극을 화학기상증착법으로 형성할 경우, 물리적 기상증착법으로 하부 전극을 형성할 경우에 비해, 캐패시터의 누설 전류가 상대적으로 높고 유전막의  $T_{ox}$ 가 상대적으로 증가하는 등 전기적 특성이 열화되게 된다. 도 1의 그래프는 하부 전극 및 상부 전극으로 루테튬막을 사용하고 유전막으로  $TaO_x$ 를 사용한 캐패시터에 있어서, 인가 전압에 따른 누설 전류의 양을 보여주는 것으로, 결정화



열처리는  $N_2$  분위기 700℃에서 30분간 실시되었으며, 상부 전극 형성 후의 후속 큐어링 처리는  $O_2$  분위기 400℃에서 30분간 실시되었다.

**【발명이 이루고자 하는 기술적 과제】**

<22> 따라서, 본 발명이 이루고자 하는 기술적 과제는, 화학기상증착법에 의해 형성되는 금속 하부 전극을 포함하는 캐패시터의 전기적 특성 열화를 억제할 수 있는 반도체 장치의 제조 방법을 제공하는 것이다.

**【발명의 구성 및 작용】**

<23> 본 발명이 이루고자 하는 기술적 과제를 달성하기 위해, 기판 상에 금속 유기 화합물을 소스로 이용하고 화학기상증착법을 이용하여 귀금속으로 이루어진 하부 전극을 형성한다. 수소가 함유된 분위기에서 하부 전극의 표면을 수소 처리 및/또는 질소 처리한다. 수소 처리 및/또는 질소 처리된 하부 전극 상면에 유전막을 형성한다. 유전막을 결정화하기 위해 질소 분위기하의 약 650℃에서 열처리를 실시한다. 그리고 유전막 상면에 상부 전극을 형성하고 산소 가스 분위기에서 큐어링을 실시한다. 한편 수소 처리 및/또는 질소 처리는 수소 가스 분위기 및/또는 질소 가스 분위기하에서의 열처리를 포함하는 것으로 열처리 온도는 약 350 내지 750℃이며, 바람직하게는 약 450℃이다. 그리고, 수소 가스 분위기하의 열처리 및 수소 가스와 질소 가스의 혼합 가스 분위기하의 열처리를 유전막의 결정화를 위한 열처리 온도 보다 높게 하면, 실제 유전막 결정화 열처리시 하부 전극의 결정립 성장이 최소화된다. 그리고, 수소 처리는 하부 전극을 수소 플라즈마에 노출시키는 것도 포함한다.

<24> 구체적으로 하부 전극을 형성하기 위해 사용되는 금속 유기 화합물은

$\text{Ru}(\text{C}_3\text{H}_5\text{C}_5\text{H}_4)_2(=\text{Ru}(\text{EtCp})_2)$ ,  $\text{Ru}(\text{CH}_3\text{C}_5\text{H}_4)_2(=\text{Ru}(\text{MeCp})_2)$ ,  $\text{Ru}(\text{C}_5\text{H}_5)_2(=\text{Ru}(\text{Cp}_2))$ ,  
 $\text{Ru}(\text{C}_9\text{H}_{15}\text{O}_2)_3(=\text{Ru}(\text{dmhpd})_3)$ ,  $\text{Ru}(\text{C}_{10}\text{H}_{17}\text{O}_2)_3(=\text{Ru}(\text{tmhpd})_3)$  또는  $\text{Ru}(\text{C}_{11}\text{H}_{19}\text{O}_2)_3$   
 $(=\text{Ru}(\text{dpm})_3)$  일 수 있다.

<25> 다른 예의 금속 유기화합물로  $(\text{CH}_3)_3\text{Pt}(\text{C}_5\text{H}_4\text{C}_5\text{H}_5)(=\text{Me}_3\text{Pt}(\text{EtCp}))$ ,  $(\text{CH}_3)_3$   
 $\text{Pt}(\text{C}_5\text{H}_5)(=\text{Me}_3\text{PtCp})$ ,  $(\text{CH}_3)_3\text{Pt}(\text{CH}_5\text{C}_5\text{H}_4)(=\text{Me}_3\text{Pt}(\text{MeCp}))$ ,  $\text{Pt}(\text{C}_5\text{H}_7\text{O}_2)_2(\text{C}_3\text{H}_5)\text{Pt}(\text{C}_5\text{H}_5)$   
 $(=\text{Pt}(\text{acac})_2)$  또는  $\text{Pt}(\text{C}_5\text{HF}_6\text{O}_2)_2(=\text{Pt}(\text{HFA})_2)$ 가 사용될 수 있다. 그리고, 하부  
 전극은 Ru, RuOx, Pt, PtOx로 구성된 군에서 선택된 어느 하나로 이루어질 수 있  
 으며, 유전막은  $\text{Ta}_2\text{O}_5$ ,  $\text{SrTiO}_3(\text{STO})$ ,  $(\text{Ba}, \text{Sr})\text{TiO}_3(\text{BST})$ ,  $\text{PbTiO}_3$ ,  $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$   
 $(\text{PZT})$ ,  $\text{SrBi}_2\text{Ta}_2\text{O}_5(\text{SBT})$ ,  $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ ,  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$  및  $\text{BaTiO}_3(\text{BTO})$ 로 이루  
 어진 군에서 선택된 어느 하나로 이루어질 수 있다. 그리고 이런 유전막은 결정  
 질임이 바람직하다.

<26> 이하 첨부된 도면을 참고로 본 발명을 상세히 설명한다.

<27> 도 2a 내지 도 2c는 본 발명에 따른 반도체 장치를 제조하는 단계를 보여주  
 는 도면들이다.

<28> 도 2a에서, 반도체 기판(21) 상에 금속 유기 화합물을 소스로 하고 화학기  
 상증착법을 이용하여 하부 전극(23)을 형성한다. 하부 전극은 Ru, RuOx, Ir,  
 IrOx, Pt 및 PtOx 중의 하나를 포함하여 이루어져 있다. 하부 전극이 Ru 또는  
 RuOx로 이루어질 경우, 금속 유기 화합물 소스로는  $\text{Ru}(\text{C}_3\text{H}_5\text{C}_5\text{H}_4)_2(=\text{Ru}(\text{EtCp})_2)$ ,  
 $\text{Ru}(\text{CH}_3\text{C}_5\text{H}_4)_2(=\text{Ru}(\text{MeCp})_2)$ ,  $\text{Ru}(\text{C}_5\text{H}_5)_2(=\text{Ru}(\text{Cp}_2))$ ,  $\text{Ru}(\text{C}_9\text{H}_{15}\text{O}_2)_3(=\text{Ru}(\text{dmhpd})_3)$ ,

$\text{Ru}(\text{C}_{10}\text{H}_{17}\text{O}_2)_3(=\text{Ru}(\text{tmhpd})_3)$  또는  $\text{Ru}(\text{C}_{11}\text{H}_{19}\text{O}_2)_3(=\text{Ru}(\text{dpm})_3)$ 가 사용될 수 있다.

하부 전극이 Pt 또는  $\text{PtO}_x$ 로 이루어질 경우, 금속 유기 화합물 소스로는  $(\text{CH}_3)_3\text{Pt}(\text{C}_5\text{H}_4\text{C}_5\text{H}_5)(=\text{Me}_3\text{Pt}(\text{EtCp}))$ ,  $(\text{CH}_3)_3\text{Pt}(\text{C}_5\text{H}_5)(=\text{Me}_3\text{PtCp})$ ,  $(\text{CH}_3)_3\text{Pt}(\text{CH}_5\text{C}_5\text{H}_4)(=\text{Me}_3\text{Pt}(\text{MeCp}))$ ,  $\text{Pt}(\text{C}_5\text{H}_7\text{O}_2)_2(\text{C}_3\text{H}_5)\text{Pt}(\text{C}_5\text{H}_5)(=\text{Pt}(\text{acac})_2)$  또는  $\text{Pt}(\text{C}_5\text{HF}_6\text{O}_2)_2(=\text{Pt}(\text{HFA})_2)$ 가 사용될 수 있다.

<29> 다음, 하부 전극(23) 표면을 수소 처리한다. 수소 처리란, 하부 전극을 수소가스가 포함된 분위기에서 열처리하거나 수소 플라즈마에 하부 전극을 노출시키는 것을 포함한다. 수소 처리 이외에 하부 전극(23)은 질소 처리될 수도 있다. 질소 처리란 하부 전극을 질소 가스가 포함된 분위기에서 열처리하는 것을 의미한다. 그리도, 하부 전극(23)은 수소 가스와 질소 가스의 혼합 가스 분위기에서 열처리될 수도 있다. 수소 가스 분위기하의 열처리 및 수소가스와 질소 가스의 혼합 가스 분위기하의 열처리에 있어서의 온도는 약 350 내지 750℃이며, 특히 유전막의 결정화 온도보다 높으면, 유전막의 결정화 열처리시 하부 전극의 결정이 성장되는 것을 최소화시킬 수 있다.

<30> 도 2b에서, 수소 처리 또는/및 질소 처리된 하부 전극(23) 상에 화학기상 증착법을 이용하여 유전막(25)을 형성한다. 유전막(25)은  $\text{Ta}_2\text{O}_5$ ,  $\text{SrTiO}_3(\text{STO})$ ,  $(\text{Ba}, \text{Sr})\text{TiO}_3(\text{BST})$ ,  $\text{PbTiO}_3$ ,  $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3(\text{PZT})$ ,  $\text{SrBi}_2\text{Ta}_2\text{O}_5(\text{SBT})$ ,  $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ ,  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$  및  $\text{BaTiO}_3(\text{BTO})$ 로 이루어진 군에서 선택된 어느 하나로 이루어질 수 있다. 유전막(25)의 유전 특성을 증가시키기 위해, 질소 가스 분위기하 이 되 종래의 열처리 온도인 약 700℃ 보다 낮은 약 650℃에서 결정화 열처리를 실시한다.

- <31> 도 2c에서, 유전막(25) 상에 화학기상증착법을 이용하여 도전물질로 이루어진 상부 전극(27)을 형성하여 캐패시터를 완성한다. 상부 전극의 일례로 Pr, Ru, Ir, Rh, Os등과 같은 귀금속과 그의 도전성 산화물이 사용될 수 있다. 그리고 캐패시터 형성 이후에 결정화 어닐링에 의한 누설 전류를 감소시키기 위해 약 400℃ 및 산소 분위기에서 큐어링을 실시한다.
- <32> 한편, 결정화 어닐링은 유전막(23) 형성 이후 대신에 상부 전극 형성 이후 큐어링 단계 이전에도 실시될 수 있다.
- <33> 전술한 수소 처리 또는 질소 처리에 의해 하부 전극(23)의 표면에 존재하던 유기 금속 소스로부터 발생된 불순물이 제거되어, 하부 전극(23)을 구성하는 물질의 실질적인 변화 없이 하부 전극(23)과 유전막(25)과의 사이의 계면 특성 및 이들을 포함하는 캐패시터의 전기적 특성이 향상됨을 도 3a-3b, 도 4a-4b, 도 5a-5b, 도 6a-6b, 도 7a-7b, 도 8a-8b 및 도 9를 참고로 설명한다. '하부 전극을 구성하는 물질의 실질적인 변화 없이'란 하부전극 금속이 금속 산화물과 같이 다른 구성을 갖는 물질로 변환되지 않는 것을 의미한다.
- <34> 도 3a-3b, 도 4a-4b, 도 5a-5b, 도 6a-6b, 도 7a-7b, 도 8a-8b 및 도 9의 그래프 또는 사진은 루테튬 하부 전극, TaOx 유전막 및 루테튬 상부 전극으로 이루어진 캐패시터의 전기적 특성 및 표면 형상과 결정성을 보여주고 있다.
- <35> 도 3a 및 도 3b의 그래프에서 가로축은 루테튬 전극에 대한 처리 상태를 나타내는 것으로, '종래'는 아무런 처리가 실시되지 않은 것을 나타내고, 'H2예비 어닐링'은 수소 가스 분위기하에서 어닐링된 상태를 나타낸다. 세로축은 Tox로 동일한 캐패시턴스 하에서, 실리콘 산화막에 대응되어 변환되는 TaOx의 두께를

의미하는 것으로,  $T_{ox}$ 의 값이 작을 수록 유전 특성이 양호함(유전 상수가 큼)을 나타낸다. 도 4a 및 도 4b의 그래프에서 가로축은 하부 전극을 포함하는 캐패시터에 인가되는 전압을 나타내고, 세로축은 그 인가전압에 따른 캐패시터의 누설 전류를 나타낸다.

<36> 도 3a와 도 3b와 도 4a-4b를 참조하면, 물리기상증착법으로 루테튬 하부 전극을 갖는 캐패시터의 캐패시턴스는, 종래 기술 즉, 질소 가스 분위기 하의 결정화 열처리와 산소 가스 분위기하의 큐어링 만을 적용한 경우에 비해 결정화 열처리 및 큐어링에 덧붙여 하부 루테튬막 형성 이후와 유전막 형성 이전에 수행된 하부 전극의 수소 처리를 받은 경우에 있어, 약간 증가하였다. 그러나, 화학기상증착법에 의해 형성된 하부 전극을 갖는 캐패시터의 캐패시턴스는 수소 처리에 의해 약 24%의 증가되었다.

<37> 같은 맥락으로, 물리기상증착법이 적용된 캐패시터의 유전막의  $T_{ox}$ 는 수소 처리에 의해 크게 감소하지 않았으나, 화학기상증착법이 적용된 캐패시터의 유전막의  $T_{ox}$ 는 약 30% 의 감소율을 보였다.

<38> 또한, 물리기상증착법으로 루테튬 하부 전극을 형성할 경우에 있어서, 종래 기술 즉, 질소 가스 분위기 하의 결정화 열처리와 산소 가스 분위기하의 큐어링 만을 적용받은 캐패시터의 누설전류는, 결정화 열처리 및 큐어링에 덧붙여 하부 루테튬막 형성 이후와 유전막 형성 이전에 수행된 하부 전극의 수소 분위기하의 어닐링을 받은 캐패시터의 누설전류와 큰 차이를 보이지 않았다. 그러나, 화학기상증착법으로 형성된 하부 전극을 갖는 캐패시터는 수소 분위기하의 어닐링에 의해 누설 전류 값이 크게 감소하였다.

<39> 한편, 화학기상증착법을 이용하여 하부 전극을 형성할 경우에 비해 물리기상증착법을 이용하여 하부 전극을 형성할 경우의 유전막의 결정화 온도가 더 높다. 따라서, 화학기상증착법을 이용하면 물리기상증착법을 이용하여 하부 전극을 형성할 경우에 비해, 캐패시터 하부 구조에 미치는 열적 영향이 크다. 그런데, 도 5a와 도 5b를 참조하면, 화학기상증착법이 적용된 캐패시터의 하부 전극에 수소 처리를 실시하면, 유전막의 결정화 온도를 낮출 수 있음을 알 수 있다. 즉,  $T_{ox}$ 가 14인 경우에, 물리기상증착법이 적용된 하부 전극에 수소 열처리를 실시한 경우 및 실시하지 않은 경우의 결정화 온도는 각각 약  $625^{\circ}\text{C}$ 와 약  $645^{\circ}\text{C}$ 로 그 차이가 크지 않다(도 5a). 그러나 화학기상증착법이 적용된 하부 전극에 수소 열처리를 실시한 경우 및 실시하지 않은 경우의 결정화 온도는 각각 약  $635^{\circ}\text{C}$ 와 약  $685^{\circ}\text{C}$ 로 그 차이가 상대적으로 크다(도 5b). 또한, 결정화 온도가 물리화학기상증착법이 적용된 경우의 수준에 근접하게 된다.

<40> 그리고, 결정화 어닐링 온도가  $700^{\circ}\text{C}$ 에서, 물리기상증착법이 적용된 하부 전극에 가해진 수소 열처리 전후에서 유전막의  $T_{ox}$ 의 변화가 거의 없으나, 화학기상증착법이 적용된 하부 전극에 가해진 수소 열처리 전후에서 유전막의  $T_{ox}$ 는 각각 12에서 10으로 감소하였다.

<41> 도 5a 및 도 5b의 그래프에서 가로축은 유전막의 결정화를 위한 어닐링 온도를 나타내는 것으로 '초기'는 결정화 어닐링이 실시되는 시작점을 나타낸다. 그리고 세로축은 결정화 어닐링 온도에 따른  $T_{ox}$ 를 나타낸다.

<42> 따라서, 화학기상증착법을 이용하더라도 유전막의 수소 열처리에 의해 유전막의 결정화 온도를 낮출 수 있게 되어, 캐패시터 이전에 형성된 요소들의 열적

영향을 줄일 수 있다. 이상의 설명에서, 수소 처리는 하부 전극을 수소 분위기하의 450℃에서의 열처리하는 것을 나타낸다.

<43> 결론적으로, 하부 전극의 수소 처리가 물리기상증착법이 적용된 캐패시터의 특성 보다 화학기상증착법이 적용된 캐패시터의 특성을 더욱 향상시킴을 알 수 있다.

<44> 다음, 하부 전극을 화학기상증착법으로 형성하되 유전막이 결정질인 경우와 비정질인 경우에 있어서의 수소 처리가 미치는 영향을 살펴본다.

<45> 먼저 도 6a 와 도 6b에서 가로축은 하부 전극의 처리 조건을 나타내는 것으로, '초기'는 하부 전극이 어떤 처리도 받지 않은 상태를 나타내고, 'N700'은 질소 가스 분위기의 700℃에서 열처리되는 상태를 나타내며, 'H450'은 수소 가스 분위기의 450℃에서 열처리되는 상태를 나타낸다. 그리고 도 6a의 세로축은 하부 전극 처리에 따른  $T_{ox}$ 를 나타내고, 도 6b의 세로축은 하부 전극 처리에 따른 캐패시터의 증가율을 나타낸다. 도 7a와 도 7b에서 가로축은 화학기상증착법으로 형성된 하부 전극과 비정질 및 결정질 유전막을 포함하는 캐패시터에 인가되는 전압을 나타낸다. 그리고, 도 7a와 도 7b의 세로축은 각각 비정질  $TaO_x$ 와 결정질  $TaO_x$ 를 가지는 캐패시터의 누설전류를 나타낸다. 그리고, '■'는 종래의 기술 즉 하부 전극이 아무런 처리를 받지 않을 경우의 인가 전압에 따른 캐패시터의 누설전류를 나타낸다. '●'은 하부 전극이 질소가스 분위기에서 약 700℃ 열처리를 받을 경우의 인가 전압에 따른 캐패시터의 누설전류를 나타낸다. 그리고, '▲'는 하부 전극이 수소 가스 분위기에서 약 450℃ 열처리를 받을 경우의 인가 전압에 따른 캐패시터의 누설전류를 나타낸다.

- <46> 도 6a와 도 6b를 참조하면, 비정질 TaOx를 유전막으로 사용한 경우, 초기 상태와 수소 처리 및 질소 처리에 의한 Tox가 23 정도로 거의 변화가 없으나, 유전막이 결정질 TaOx인 경우에는 초기 상태는 12인데 반해, 수소 처리 및 질소 처리에 의한 Tox는 각각 약 9 및 10정도로 감소하였음을 알 수 있다.
- <47> 같은 맥락으로, 결정질 TaOx에 수소 처리 또는 질소 처리를 실시하면, 초기 상태에 비해 캐패시턴스가 상당히 증가하나 비정질 TaOx에 있어서는 수소 처리 또는 질소 처리가 유전막의 캐패시턴스에 영향을 주지 못하고 있음을 알 수 있다.
- <48> 한편, 수소 처리와 질소 처리 중에서, 수소 처리에 의한 Tox의 감소 및 캐패시턴스의 증가가 질소 처리에 의한 것보다 월등함을 알 수 있으며, 수소 가스와 질소 가스를 소정 비율로 혼합한 혼합 가스 분위기에서 하부 전극을 전처리할 수 있음도 알 수 있다. 일례로, 수소 가스 부피비 10%에 질소 가스 부피비 90%의 혼합 가스 분위기하의 450℃에서 약 30분간 하부 전극의 표면을 처리할 수 도 있다.
- <49> 도 7a를 참조하면, 화학기상증착법으로 루테늄 하부 전극과 비정질 TaOx를 포함하는 캐패시터에 있어서, 종래 기술을 적용받은 캐패시터의 누설전류에 비해, 결정화 열처리 및 큐어링에 덧붙여 하부 루테늄막 형성 이후와 유전막 형성 이전에 수행된 하부 전극의 수소 처리 또는 질소 처리가 적용된 캐패시터의 누설전류는 약간 감소하였다. 반면, 도 7b를 참조하면, 화학기상증착법으로 형성된 루테늄 하부 전극에 대해 종래의 기술을 적용하고 결정질 TaOx를 채용한 캐패시터의 누설 전류에 비해 수소 처리 또는 질소 처리가 적용된 하부 전극을 갖는 캐패



시터의 누설 전류는 상대적으로 큰 폭으로 감소하였다. 특히 질소 처리 보다 수소 처리의 효과가 월등함을 알 수 있다.

<50> 즉, 유전막이 결정질일 경우에, 하부 전극의 수소 처리 또는 질소 처리에 의해, 캐패시터의 누설 전류가 감소하고, 유전막의 Tox가 감소하며, 캐패시턴스가 증가하게 됨을 알 수 있다.

<51> 한편, 수소 또는 질소 처리에 의해 하부 전극은 다른 물질층으로 변환되지 않는다. 도 8a는 화학기상증착법으로 형성된 Ru박막을 수소가스 분위기에서 열처리하기 이전의 상태를 주사 전자 현미경으로 촬영한 사진이며, 도 8b는 Ru박막을 수소 가스 분위기에서 열처리한 후의 상태를 주사 전자 현미경으로 촬영한 사진으로, 수소 처리 이전 및 이후에서 그레인의 크기가 약간 증가한 점 이외에는 표면 형상에는 큰 변화가 없다. 수소 처리 전 후의 Ru박막을 XRD(X-ray Radiation Diffraction) 분석한 도 9를 살펴보면, 수소 처리에 의해 (100), (101)피크가 약간 증가한 점 이외에 결정성의 변화는 발생하지 않았다.

#### 【발명의 효과】

<52> 본 발명에 따르면, 화학기상증착법으로 형성된 Ru박막을 유전막 증착 전에

수소 처리 또는 질소 처리하면, 표면 형상의 변화보다는 Ru박막 표면의 특성이 개선됨을 알 수 있다. 일반적으로 MIM 캐패시터의 유전막의 특성은 계면 특성에 따라 크게 변하는데, 화학기상증착법으로 형성된 Ru박막 표면에는 SIMS(secondary ion mass spectrometry)감지 한계 이하의 유기 금속 잔류물이 존재할 가능성이 높고 이러한 불순물이 수소 처리 또는 질소 처리에 의해 효과적으로 제거됨을 알 수 있다. 따라서, 하부 전극을 물리기상증착법으로 형성한 경우에 비해 화학기상증착법으로 형성한 경우에, 하부 전극을 수소 또는 질소 처리하면, 그 하부 전극을 포함하는 캐패시터의 캐패시턴스가 증가하고 누설전류가 감소되는 등 그의 전기적 특성이 향상되며, 특히 유전막이 결정질 일 경우 그 효과는 더욱 크게 나타나게 된다.

**【특허청구범위】****【청구항 1】**

(a) 기판 상에 금속 유기 화합물을 소스로 이용하고 화학기상증착법을 이용하여 귀금속으로 이루어진 하부 전극을 형성하는 단계,

(b) 수소가 함유된 분위기에서 상기 하부 전극의 표면을 수소처리하는 단계,

(c) 상기 수소 처리된 하부 전극 상면에 유전막을 형성하는 단계, 및

(d) 상기 유전막 상면에 상부 전극을 형성하는 단계를 포함하는 반도체 장치의 제조 방법.

**【청구항 2】**

제 1 항에 있어서, 상기 (b) 단계에서 상기 하부 전극을 수소 가스 분위기에서 열처리하는 반도체 장치의 제조 방법.

**【청구항 3】**

제 1 항에 있어서, 상기 (b) 단계에서, 상기 하부 전극을 수소 플라즈마에 노출시키는 반도체 장치의 제조 방법.

**【청구항 4】**

제 1 항 또는 제 2항에 있어서, 수소 처리 단계에서의 기판의 온도 또는 열처리 온도는 유전막의 결정화 온도와 같거나 큰 반도체 장치의 제조 방법.

**【청구항 5】**

제 1 항에 있어서, 상기(b)단계의 수소가스가 함유된 분위기는 질소 가스를 더 포함하는 반도체 장치의 제조 방법.

**【청구항 6】**

제 2항 또는 제 5항에 있어서, 상기 수소가스가 함유된 분위기 또는 수소가스와 질소 가스가 함유된 분위기에서의 열처리 온도는 약 350 내지 750℃인 반도체 장치의 제조 방법.

**【청구항 7】**

제 1 항에 있어서, 상기 (a) 단계에서 사용되는 상기 금속 유기 화합물은  $\text{Ru}(\text{C}_3\text{H}_5\text{C}_5\text{H}_4)_2(=\text{Ru}(\text{EtCp})_2)$ ,  $\text{Ru}(\text{CH}_3\text{C}_5\text{H}_4)_2(=\text{Ru}(\text{MeCp})_2)$ ,  $\text{Ru}(\text{C}_5\text{H}_5)_2(=\text{Ru}(\text{Cp}_2))$ ,  $\text{Ru}(\text{C}_9\text{H}_{15}\text{O}_2)_3(=\text{Ru}(\text{dmhpd})_3)$ ,  $\text{Ru}(\text{C}_{10}\text{H}_{17}\text{O}_2)_3(=\text{Ru}(\text{tmhpd})_3)$  또는  $\text{Ru}(\text{C}_{11}\text{H}_{19}\text{O}_2)_3(=\text{Ru}(\text{dpm})_3)$  인 반도체 장치의 제조 방법.

**【청구항 8】**

제 1 항에 있어서, 상기 (a) 단계에서 사용되는 상기 금속 유기 화합물은,  $(\text{CH}_3)_3\text{Pt}(\text{C}_5\text{H}_4\text{C}_5\text{H}_5)(=\text{Me}_3\text{Pt}(\text{EtCp}))$ ,  $(\text{CH}_3)_3\text{Pt}(\text{C}_5\text{H}_5)(=\text{Me}_3\text{PtCp})$ ,  $(\text{CH}_3)_3\text{Pt}(\text{CH}_3\text{C}_5\text{H}_4)(=\text{Me}_3\text{Pt}(\text{MeCp}))$ ,  $\text{Pt}(\text{C}_5\text{H}_7\text{O}_2)_2(\text{C}_3\text{H}_5)\text{Pt}(\text{C}_5\text{H}_5)(=\text{Pt}(\text{acac})_2)$  또는  $\text{Pt}(\text{C}_5\text{HF}_6\text{O}_2)_2(=\text{Pt}(\text{HFA})_2)$ 인 반도체 장치의 제조 방법.

**【청구항 9】**

제 1 항에 있어서, 상기 하부 전극은 Ru, RuOx, Pt, PtOx로 구성된 군에서 선택된 어느 하나로 이루어지는 반도체 장치의 제조 방법.

**【청구항 10】**

제 1 항에 있어서, 상기 유전막은  $\text{Ta}_2\text{O}_5$ ,  $\text{SrTiO}_3(\text{STO})$ ,  $(\text{Ba}, \text{Sr})\text{TiO}_3(\text{BST})$ ,  $\text{PbTiO}_3$ ,  $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3(\text{PZT})$ ,  $\text{SrBi}_2\text{Ta}_2\text{O}_5(\text{SBT})$ ,  $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ ,  $\text{Bi}_4\text{Ti}_3\text{O}_{12}$  및  $\text{BaTiO}_3(\text{BTO})$ 로 이루어진 군에서 선택된 어느 하나인 반도체 장치의 제조 방법.

**【청구항 11】**

제 1 항에 있어서, 상기 유전막은 결정질인 반도체 장치의 제조 방법.

**【청구항 12】**

제 1 항에 있어서, 상기 (c) 단계 이후 상기 (d)단계 이전에 상기 유전막을 결정화하기 위해 열처리하는 단계를 더 포함하는 반도체 장치의 제조 방법.

**【청구항 13】**

제 12항에 있어서, 상기 결정화 열처리는 질소 가스 분위기하의 약  $650^\circ\text{C}$ 에서 수행되는 반도체 장치의 제조 방법.

**【청구항 14】**

제 12 항에 있어서, 상기 (d)단계 이후에 상기 상부 전극이 형성된 반도체 기판을 산소 분위기에서 큐어링하는 단계를 더 포함하는 반도체 장치의 제조 방법.

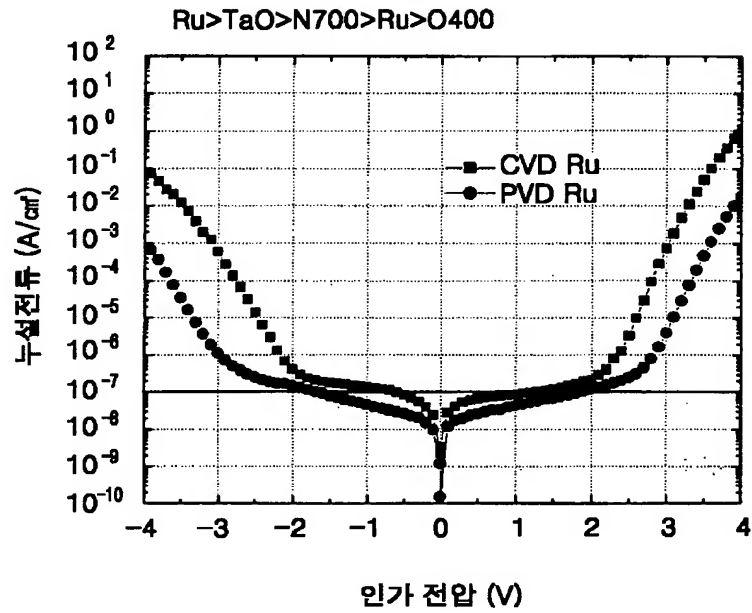
**【청구항 15】**

(a) 기판 상에 금속 유기 화합물을 소스로 이용하고 화학기상증착법을 이용하여 귀금속으로 이루어진 하부 전극을 형성하는 단계,

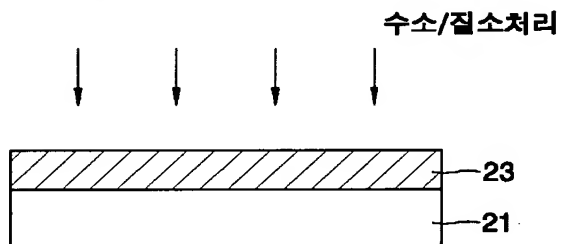
- (b) 질소 분위기에서 상기 하부 전극의 표면을 질소 처리하는 단계,
- (c) 상기 질소 처리된 하부 전극 상면에 유전막을 형성하는 단계, 및
- (d) 상기 유전막 상면에 상부 전극을 형성하는 단계를 포함하는 반도체 장치의 제조 방법.

## 【도면】

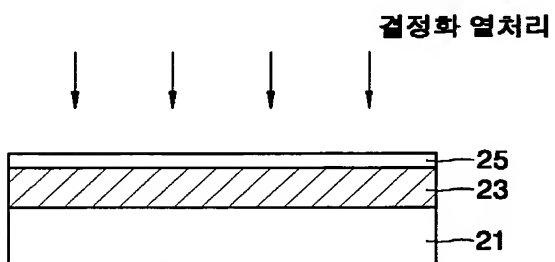
【도 1】



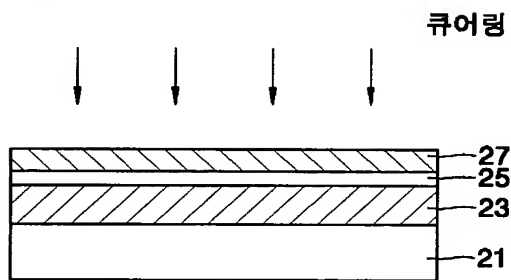
【도 2a】



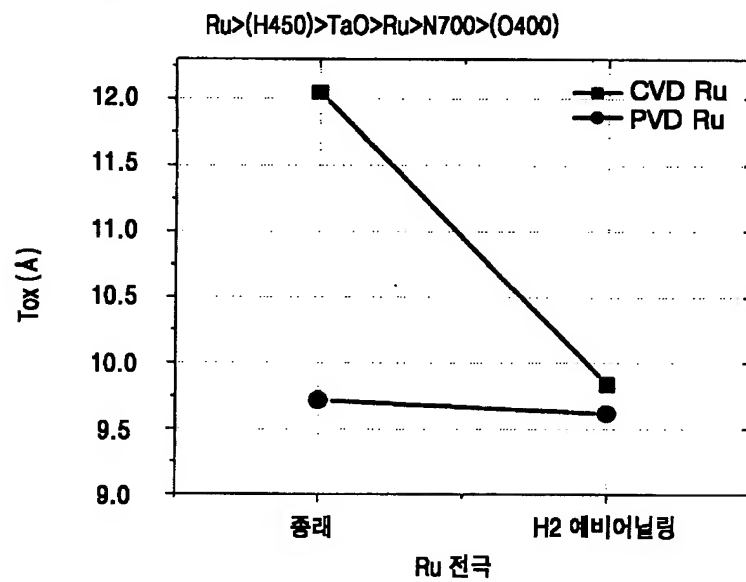
【도 2b】



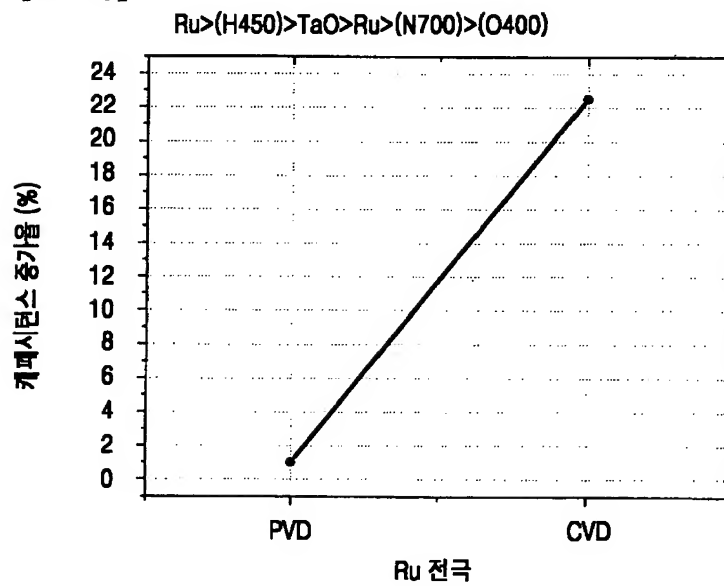
【도 2c】



【도 3a】

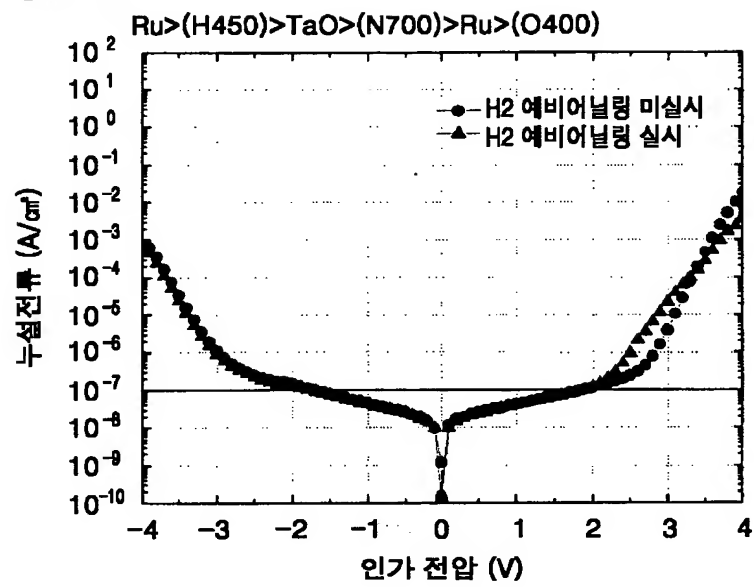


【도 3b】

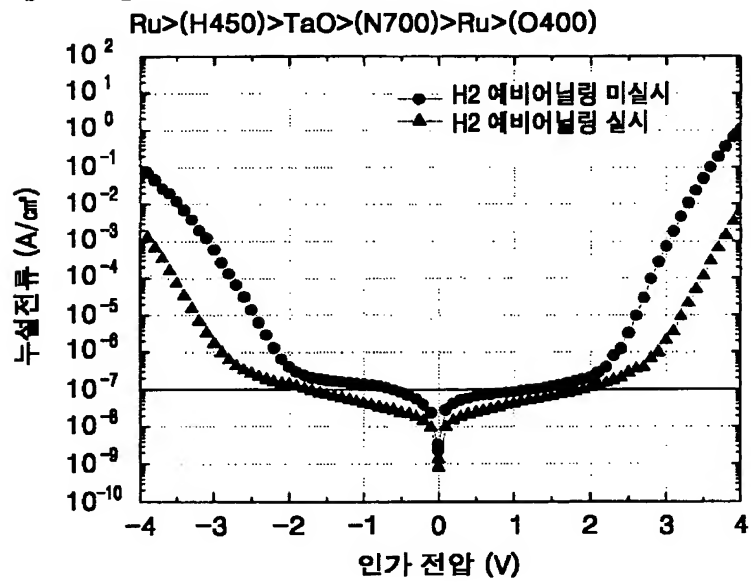




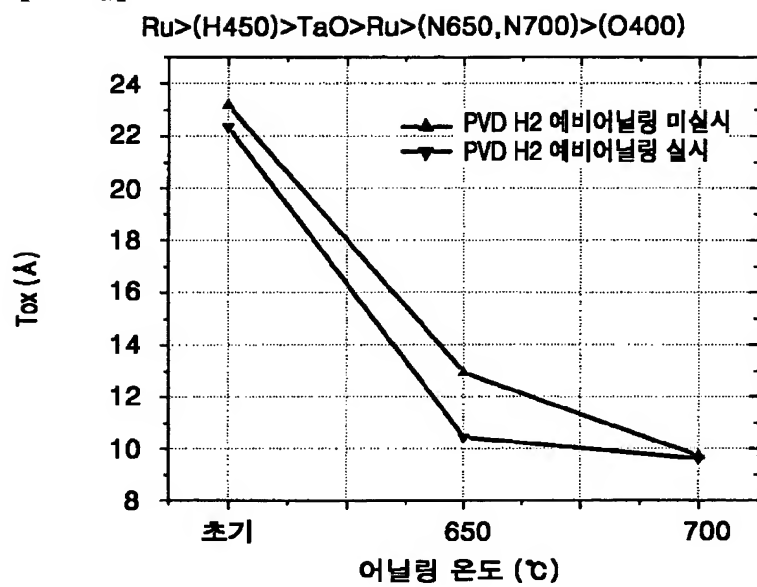
【도 4a】



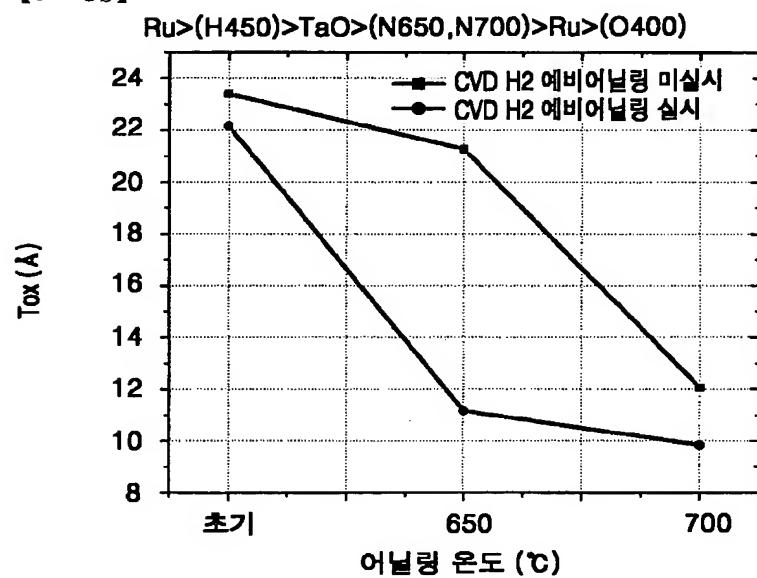
【도 4b】



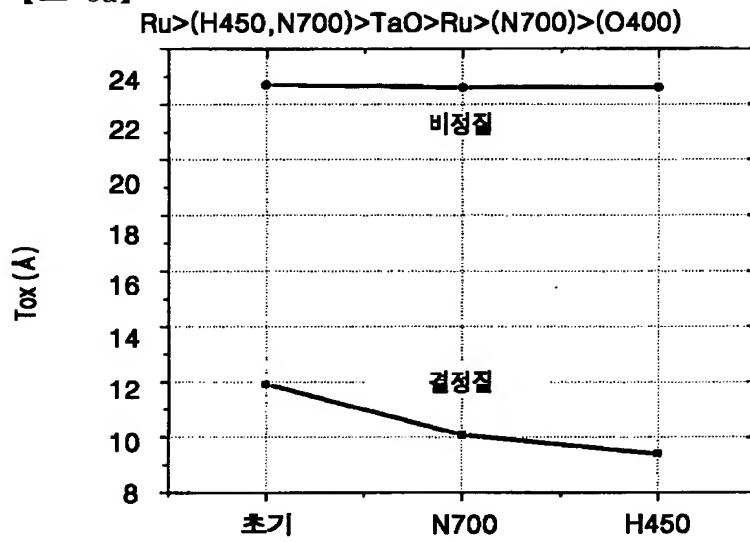
【도 5a】



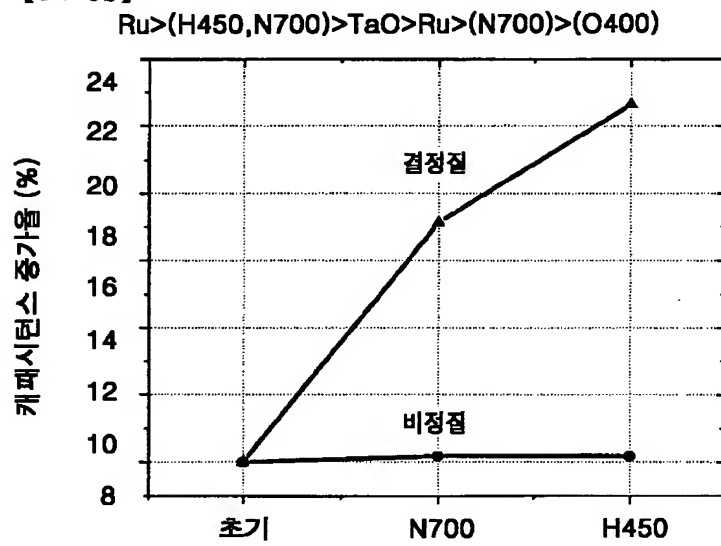
【도 5b】



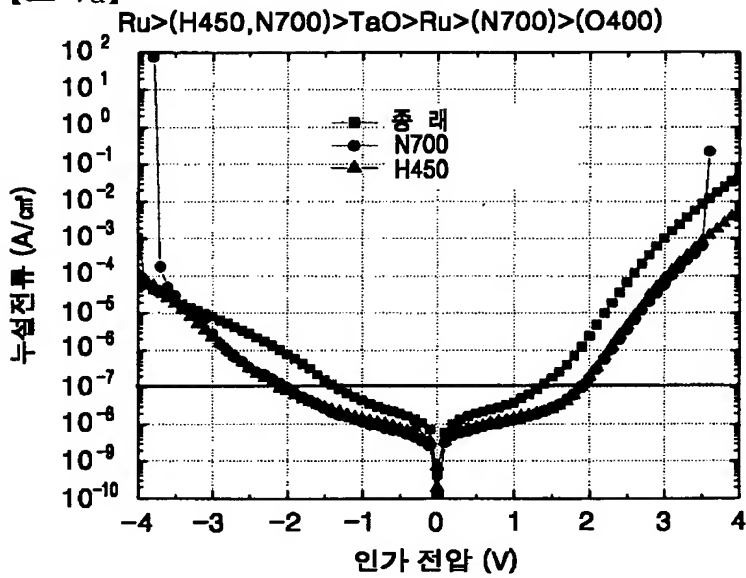
【도 6a】



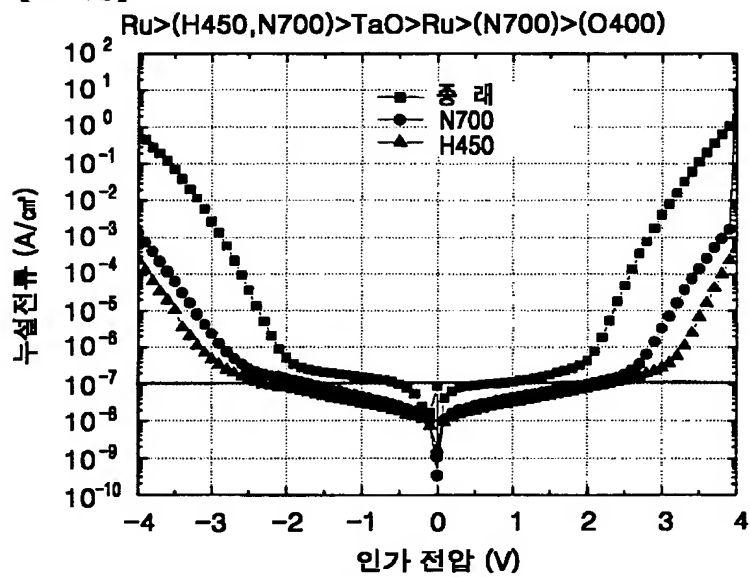
【도 6b】



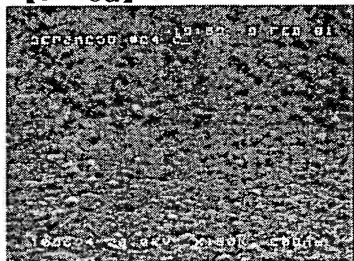
【도 7a】



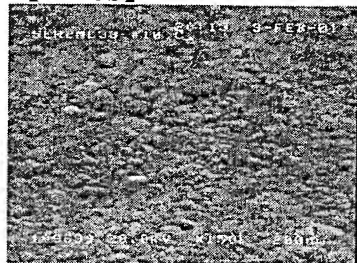
【도 7b】



【도 8a】



【도 8b】



【도 9】

